

BUMP STRUCTURE FOR ELECTRONIC COMPONENT

Publication number: JP6177134

Publication date: 1994-06-24

Inventor: NAKAMURA TOSHIFUMI; OZAKI YUJI

Applicant: SONY CORP

Classification:

- International: H01L21/60; H01L21/321; H01L21/02; (IPC1-7):
H01L21/321

- European:

Application number: JP19920350625 19921204

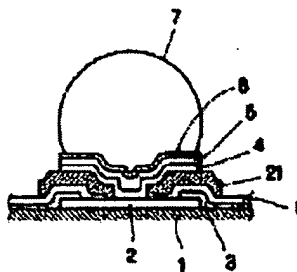
Priority number(s): JP19920350625 19921204

S/N 10/815,103
ART UNIT 2826

Report a data error here

Abstract of JP6177134

PURPOSE: To relax thermal stress due to heat cycle when an electronic component is mounted onto a substrate by forming a resin layer having high modulus of elasticity around the joint of a terminal electrode and a bimetal layer. **CONSTITUTION:** In the bump structure for an electronic component, a solder layer 14 is formed on barrier metal layers 4-6 covering a terminal electrode 2 provided on a wafer 1 and a bump 7 is formed by etch back. A resin layer 21 is formed around the joint of the terminal electrode 2 and the barrier metal layer 4. Thermal stress applied to the bump 7 due to heat cycle caused by difference of thermal expansion between the wafer 1 and the substrate 11 can be absorbed through deformation of the resin layer 21. This structure allows relaxation of stress produced in the bump 7 thus preventing occurrence of a crack.



Data supplied from the esp@cenet database - Worldwide

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] In bump structure of electronic parts which provide a solder layer on a barrier metal layer which covers a terminal electrode provided on a wafer, and form a solder vamp by a wetback, Bump structure of electronic parts forming a resin layer in a terminal area periphery between said terminal electrode and said barrier metal layer.

[Claim 2] Bump structure of the electronic parts according to claim 1 having provided a tunic in a portion except a terminal area between said terminal electrode and said barrier metal layer, and forming said resin layer between said tunic and said barrier metal layer.

[Claim 3] Bump structure of the electronic parts according to claim 1 or 2, wherein said resin layer is formed by resin for buffers with a high elastic coefficient.

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the bump structure of the electronic parts which are built over the bump structure of the electronic parts for soldering electronic parts, such as a flip chip, on a substrate, especially can reduce generating of the heat stress by the thermo cycle at the time of mounting.

[0002]

[Description of the Prior Art] An example of the bump structure of the conventional electronic parts is shown in drawing 8. In drawing 8, the terminal electrode 2 which comprised aluminum is formed on IC wafer 1, and the insulating layer 3 which covered the periphery of the terminal electrode 2 further and comprised SiO₂ is formed. on the terminal electrode 2, the barrier metal layers 4, 5, and 6 of two or more layers, for example, three layers, are formed, and it acted as a wetback on the barrier metal layer 6 -- the solder vamp 7 on a hemisphere is formed mostly.

[0003] Other examples of the bump structure of the conventional electronic parts are shown in drawing 9. In this case, between the terminal electrode 2 of a portion and the insulating layer 3 except the terminal area of the terminal electrode 2 and the barrier metal layer 4, and the barrier metal layer 4, the coating layer 8 as tunics, such as polyimide, is formed between the terminal electrode 2 of a portion and the insulating layer 3 except a terminal area, and the barrier metal layer 4. The composition of other portions is the same as that of the conventional example shown in drawing 8.

[0004]

[Problem(s) to be Solved by the Invention] However, as typically shown in drawing 10 (a) and (b), when carrying out soldering mounting of IC wafer 1 in which the solder vamp 7 was formed as mentioned above on the substrate 11, According to the difference of the coefficient of thermal expansion of the substrate 11 and IC wafer 1, the heat stress by a thermo cycle occurs into the portion shown by an arrow. There was a possibility of a

crack having occurred by the solder vamp 7 as a result, and destroying from a barrier metal layer. For this reason, mounting which is equal to practical use of electronic parts to an organic group board with a large coefficient of thermal expansion was impossible. [0005] This invention was made in view of such a situation, and can reduce the heat stress by a thermo cycle, and an object of this invention is to provide the bump structure of the electronic parts which can perform mounting with the reliability where electronic parts were stabilized.

[0006]

[Means for Solving the Problem] Bump structure of the electronic parts according to claim 1 forms the solder layer 14 on the barrier metal layers 4 and 5 which cover the terminal electrode 2 provided on the wafer 1, and 6, The resin layer 21 was formed in a terminal area periphery between the terminal electrode 2 and the barrier metal layer 4 in bump structure of electronic parts which form the solder vamp 7 by a wetback.

[0007] Bump structure of the electronic parts according to claim 2 formed the coating layer 8 as a tunic in a portion except a terminal area between the terminal electrode 2 and the barrier metal layer 4, and formed the resin layer 21 between the coating layer 8 and the barrier metal layer 4.

[0008] As for bump structure of the electronic parts according to claim 3, the resin layer 21 was formed by resin for buffers with a high elastic coefficient.

[0009]

[Function] In the bump structure of the electronic parts of the above-mentioned composition, When the wafer 1 in which the solder vamp 7 was formed is mounted in the substrate 11 with soldering, even if heat stress occurs by the solder vamp 7 in the thermo cycle by the difference of the coefficient of thermal expansion of the wafer 1 and the substrate 11, this heat stress can be absorbed according to modification of the resin layer 21. The stress produced by the solder vamp 7 as a result can be reduced, and generating of a crack etc. can be prevented.

[0010]

[Example] Hereafter, one example of the bump structure of the electronic parts of this invention is described with reference to drawings.

[0011] The composition of the 1st, 2nd, 3rd, and 4th examples of this invention is shown in drawing 1, drawing 5, drawing 6, and drawing 7, respectively. In these figures, the same numerals are given to the portion of the conventional example shown in drawing 8 and drawing 9, and the corresponding portion, and the explanation is omitted suitably.

[0012] The 1st example shown in drawing 1 is a case where formed 10 micrometers thru/or 25 micrometers-thick PORIMIDO or the resin layer 21 of the epoxy system as a buffer layer between the coating layer 8 of a conventional example and the barrier metal layer 4 which are shown in drawing 9, and the resin layer 21 is made to project from the periphery of the barrier metal layer 4. In this case, the central part of the barrier metal layer 4 is connected to the terminal electrode 2, and the resin layer 21 is formed in the outside of this terminal area.

[0013] Next, the manufacturing method of the solder vamp by this example is explained with reference to drawing 2. In (a), the terminal electrode 2 is formed on the wafer 1, and the insulating layer 3 which consists of SiO₂ is formed so that the periphery of the terminal electrode 2 may be surrounded on the surface of the wafer 1. Next, in (b), the surface of the insulating layer 3 and the periphery of the terminal electrode 2 are covered,

and the coating layer 8 formed in 5 micrometers in thickness thru/or 15 micrometers with polyimide etc. is formed.

[0014]Next, in (c), the resin layer 21 which is the feature of this invention is formed in the surface of the coating layer 8 and the terminal electrode 2 in a circle except for the connection section of the terminal electrode 2 and the barrier metal layer 4. The resin layer 21 is constituted by large polyimide or epoxy system resin with 10 micrometers [in thickness] thru/or an elastic coefficient of 25 micrometers. Next, in (d), the surface of the coating layer 8 and the periphery of the resin layer 21 are covered, and the resist layer 22 for barrier metal layer lift offs is formed. The insulating layer 3, the coating layer 8, the resin layer 21, and the resist layer 22 are formed of a respectively publicly known photolitho process.

[0015]Next, in (e), laminating formation of the barrier metal layers 4, 5, and 6 is carried out to the exposed portion of each surface of the terminal electrode 2, the resin layer 21, and the resist layer 22 one by one by vacuum evaporation or weld slag. For example, the barrier metal layer 4 is formed by 500 Å in thickness thru/or 2.000-Å Cr, The barrier metal layer 5 5.000 Å in thickness thru/or 10.000-Å Cu, Or it is formed with 1.000 Å in thickness thru/or Ti of 1.500 Å or 2.000 Å in thickness thru/or 3.000-Å nickel. The barrier metal layer 6 is formed by 500 Å in thickness thru/or 1.000-Å Au.

[0016]Next, in (f), the resist layer 22 is removed and the lift off of the barrier metal layers 4, 5, and 6 on the resist layer 22 is carried out. Next, in (g), a section forms in a thickness of 20 micrometers thru/or 60 micrometers mostly the square-like resist 13 for vamps which it opening 13a Has by a photolitho process so that the periphery of the barrier metal layers 4, 5, and 6 may be surrounded. Next, in (h), the solder layer 14 is vapor-deposited in thickness of 20 micrometers thru/or 60 micrometers in the surface of the resist 13, and the opening 13a. As this time, for example, a solder material, Pb and Sn are independently vapor-deposited by the ratio of 95 to 5, the resist 13 is removed in (i), and the lift off of the solder 14 on the resist 13 is carried out. next, the wetback after applying flux to the solder layer 14 in (j) -- a regulation ingredient -- the solder vamp 7 on a hemisphere is formed mostly.

[0017]Although the case where the solder layer 14 was vapor-deposited was explained with the above-mentioned manufacturing method, the solder layer 14 may be formed in the surface of the resist 13, and the opening 13a with a plating method.

[0018]Next, an operation of this example is explained with reference to the mimetic diagram shown in drawing 3 and drawing 4. In drawing 3, when the wafer 1 in which the solder vamp 7 was formed is mounted on the substrate 11, distortion **d by a thermo cycle occurs according to the difference of the coefficient of thermal expansion of the wafer 1 and the substrate 11. As a result by the solder vamp 7, the stress of F/S occurs. However, S is a cross-section area of the solder vamp 7. Distortion **d is as follows, when IC wafer 1 whose distance between vamps is 9 mm is mounted in a galla EPO board here and a temperature-gradient **T=110 ** thermo cycle is cost.

$$**d = (14 - 3.5) \times 10^{-6} \times 110 \times 9 \text{ mm} = 10.395 \text{ micrometers}$$
[0019]When mounted in a ceramic substrate, distortion **d is as follows similarly.

$$**d = (6.5 - 3.5) \times 10^{-6} \times 110 \times 9 \text{ mm} = 2.97 \text{ micrometers}$$
[0020]However, each coefficient of thermal expansion of IC wafer 1, a galla EPO board, and a ceramic substrate is made into ** in $3.5 \times 10^{-6} \text{ mm/}^{\circ}\text{C}$, $14 \times 10^{-6} \text{ mm/}^{\circ}\text{C}$, and $6.5 \text{ mm/}^{\circ}\text{C}$.

[0021]However, by forming the resin layer 21 with a large elastic coefficient in drawing

4, as a slash shows, distortion **d is absorbed by modification of the resin layer 21, and can reduce the stress produced by the solder vamp 7.

[0022] Since the resin layer 21 with a large elastic coefficient was formed between the barrier metal layer 4 and the terminal electrode 2 according to this example, the heat stress by a thermo cycle when the wafer 1 is mounted in the substrate 11 can be reduced, and generating of a solder crack etc. can be prevented. It becomes possible to mount the wafer 1 in a substrate with a large coefficient of thermal expansion of an organic group board etc. According to this example, the height can be made low although the height of the solder vamp 7 furthermore needed to be conventionally made high for mitigation of heat stress. As a result, packaging density of the wafer 1 can be made high, moreover variation in the height of the solder vamp 7 after mounting can be lessened, and it can mount with the stable high reliability.

[0023] The composition of the 2nd example of this invention is shown in drawing 5. This example makes the outer diameter of the resin layer 21 smaller than the outer diameter of the barrier metal layer 4, and forms the resin layer 21 only in the inside of the barrier metal layer 4.

[0024] The composition of the 3rd example of this invention is shown in drawing 6. This example omits the coating layer 8 in the 1st example, and forms the resin layer 21 on the direct insulating layer 3 and the terminal electrode 2.

[0025] The composition of the 4th example of this invention is shown in drawing 7. This example makes the outer diameter of the resin layer 21 in the 3rd example smaller than the outer diameter of the barrier metal layer 4, and forms the resin layer 21 only in the inside of the barrier metal layer 4.

[0026] Also in each above-mentioned example, the same effect as the case of the 1st example can be acquired. Although each above-mentioned example explained the case where the number of the barrier metal layers 4, 5, and 6 was three, the number of these layers is not limited to three layers.

[0027]

[Effect of the Invention] Since the resin layer with a high elastic coefficient was formed between the terminal electrode and the barrier metal layer according to the bump structure of the electronic parts of this invention as explained above, The heat stress by the thermo cycle at the time of mounting to the substrate of electronic parts can be reduced, and mounting to a substrate with a large coefficient of thermal expansion of an organic group board etc. is attained. The height of a solder vamp can be reduced and packaging density can be made high. And dispersion in the height of the solder vamp after mounting can be lessened, and it can mount with the stable high reliability.

[Brief Description of the Drawings]

[Drawing 1] It is drawing of longitudinal section showing the composition of the 1st example of the bump structure of the electronic parts of this invention.

[Drawing 2] It is an explanatory view showing the manufacturing method of the solder vamp shown in drawing 1.

[Drawing 3] It is an explanatory view showing distortion generated by the thermo cycle at the time of electronic packaging.

[Drawing 4] It is an explanatory view showing an operation of the 1st example of this invention.

[Drawing 5] It is drawing of longitudinal section showing the composition of the 2nd example of this invention.

[Drawing 6] It is drawing of longitudinal section showing the composition of the 3rd example of this invention.

[Drawing 7] It is drawing of longitudinal section showing the composition of the 4th example of this invention.

[Drawing 8] It is drawing of longitudinal section showing the composition of an example of the bump structure of the conventional electronic parts.

[Drawing 9] It is drawing of longitudinal section showing the composition of other examples of the bump structure of the conventional electronic parts.

[Drawing 10] It is an explanatory view showing the heat stress generated in an example of the bump structure of the conventional electronic parts.

[Description of Notations]

1 Wafer

2 Terminal electrode

4, 5, 6 barrier metal layers

7 Solder vamp

8 Coating layer (tunic)

14 Solder layer

21 Resin layer

[Kind of official gazette] Printing of amendment by the regulation of 2 of Article 17 of Patent Law

[Section classification] The 2nd classification of the part VII gate

[Publication date] March 23 (2001.3.23), Heisei 13

[Publication No.] JP,6-177134,A

[Date of Publication] June 24, Heisei 6 (1994.6.24)

[Annual volume number] Publication of patent applications 6-1772

[Application number] Japanese Patent Application No. 4-350625

[The 7th edition of International Patent Classification]

H01L 21/321

[FI]

H01L 21/92 C

[Written amendment]

[Filing date] October 6 (1999.10.6), Heisei 11

[Amendment 1]

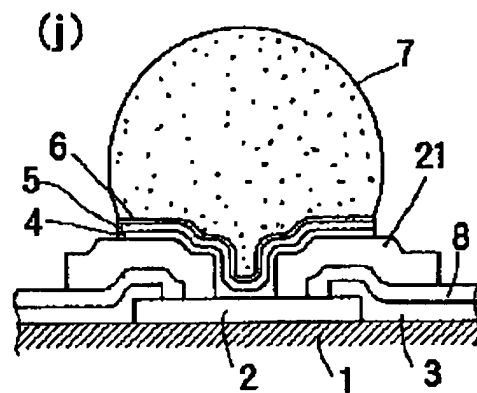
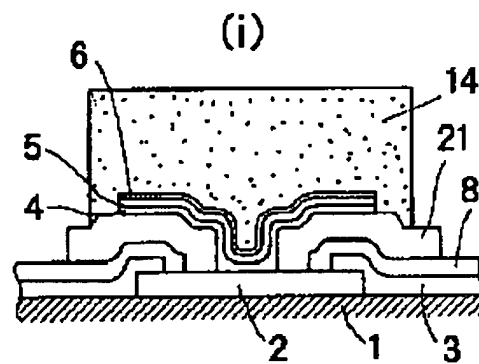
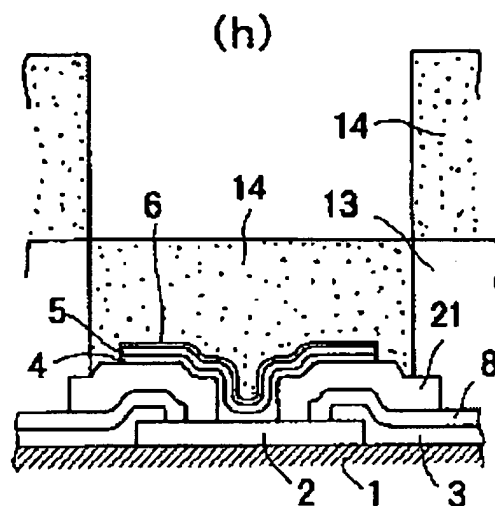
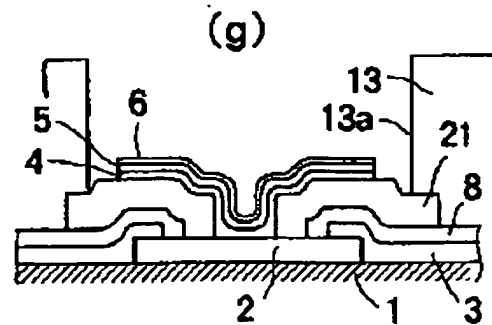
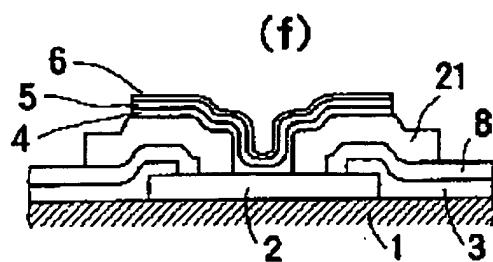
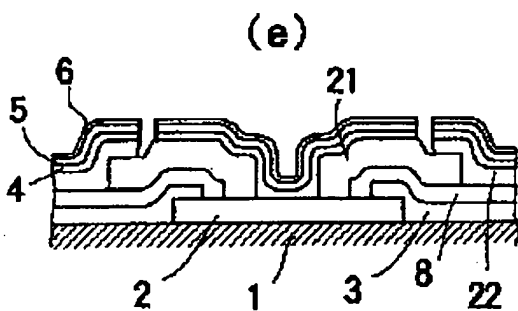
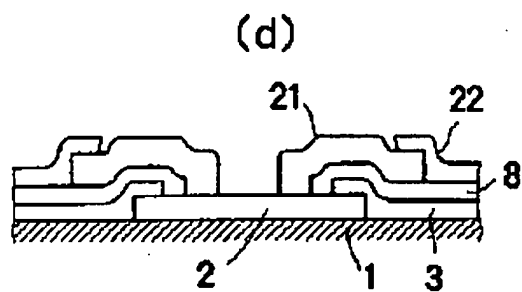
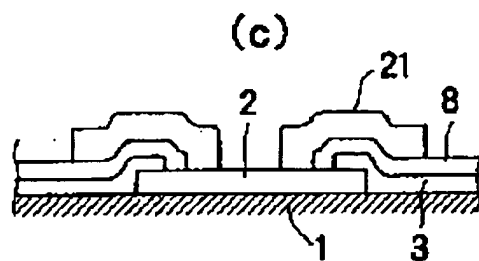
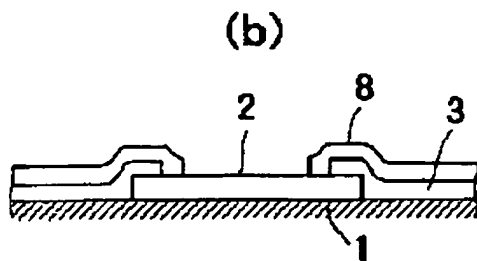
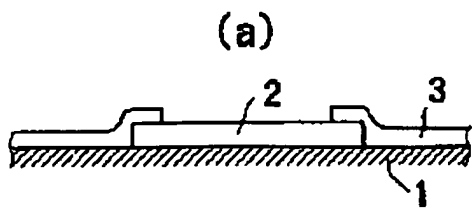
[Document to be Amended] DRAWINGS

[Item(s) to be Amended] Drawing 2

[Method of Amendment] Change

[Proposed Amendment]

[Drawing 2]



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-177134

(43)公開日 平成6年(1994)6月24日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321		9168-4M	H 0 1 L 21/92	C

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平4-350625

(22)出願日 平成4年(1992)12月4日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 中村 利文

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 尾崎 裕司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

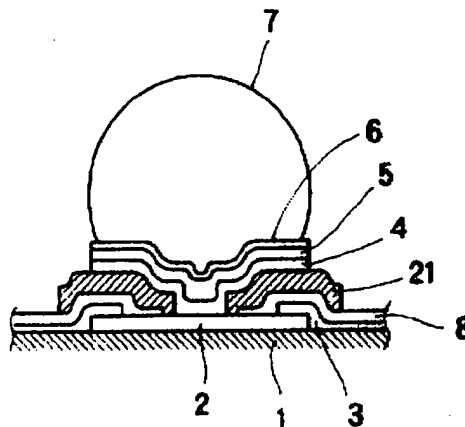
(74)代理人 弁理士 稲本 義雄

(54)【発明の名称】 電子部品のバンプ構造

(57)【要約】

【目的】 電子部品実装時におけるヒートサイクルによりはんだバンプに発生するストレスを軽減する。

【構成】 I Cウエハ1上の端子電極2と、端子電極2を被覆するバリアメタル層4、5、6との間に、弾性係数の高い樹脂層21を形成し、樹脂層21の変形により熱ストレスを軽減する。



【特許請求の範囲】

【請求項1】 ウエハ上に設けられた端子電極を被覆するバリアメタル層上にはんだ層を設け、ウエットバックによりはんだバンプを形成する電子部品のバンプ構造において、

前記端子電極と前記バリアメタル層との間の接続部外周に樹脂層を形成したことを特徴とする電子部品のバンプ構造。

【請求項2】 前記端子電極と前記バリアメタル層との間の接続部を除いた部分に被膜を設け、前記被膜と前記バリアメタル層との間に前記樹脂層を形成したことを特徴とする請求項1記載の電子部品のバンプ構造。

【請求項3】 前記樹脂層は弾性係数の高いバフファ用樹脂で形成されたことを特徴とする請求項1または2記載の電子部品のバンプ構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、フリップチップなどの電子部品の基板上にはんだ付けするための電子部品のバンプ構造に係り、特に実装時のヒートサイクルによる熱ストレスの発生を軽減することのできる電子部品のバンプ構造に関する。

【0002】

【従来の技術】 図8に従来の電子部品のバンプ構造の一例を示す。図8において、ICウエハ1上にはアルミニウムで構成された端子電極2が設けられており、さらに端子電極2の外周を被覆してSiO₂で構成された絶縁層3が設けられている。また端子電極2上には複数層、例えば3層のバリアメタル層4、5、6が形成されており、バリアメタル層6上にはウエットバックされたはんだ半球上のはんだバンプ7が形成されている。

【0003】 図9に従来の電子部品のバンプ構造の他の一例を示す。この場合は端子電極2とバリアメタル層4との接続部を除いた部分の端子電極2及び絶縁層3とバリアメタル層4との間に、接接続部を除いた部分の端子電極2及び絶縁層3とバリアメタル層4との間に、ポリイミドなどの被膜としてのコーティング層8が形成されている。他の部分の構成は図8に示す従来例と同様である。

【0004】

【発明が解決しようとする課題】 しかしながら上記のようにはんだバンプ7が形成されたICウエハ1を、図10(a)、(b)に模式的に示すように基板11上にはんだ付け実装するときに、基板11とICウエハ1との熱膨張係数の差により、矢印で示す部分にヒートサイクルによる熱ストレスが発生する。この結果はんだバンプ7にクラックが発生してバリアメタル層から破壊する恐れがあった。このため熱膨張係数の大きい有機基板に対しては、電子部品の実用に耐える実装は不可能であった。

【0005】 本発明は、このような状況に鑑みてなされたもので、ヒートサイクルによる熱ストレスを軽減することができ、電子部品の安定した信頼性のある実装を行なうことができる電子部品のバンプ構造を提供することを目的とする。

【0006】

【課題を解決するための手段】 請求項1に記載の電子部品のバンプ構造は、ウエハ1上に設けられた端子電極2を被覆するバリアメタル層4、5、6上にはんだ層14を設け、ウエットバックによりはんだバンプ7を形成する電子部品のバンプ構造において、端子電極2とバリアメタル層4との間の接続部外周に樹脂層21を形成したことを特徴とする。

【0007】 請求項2に記載の電子部品のバンプ構造は、端子電極2とバリアメタル層4との間の接続部を除いた部分に被膜としてのコーティング層8を設け、コーティング層8とバリアメタル層4との間に樹脂層21を形成したことを特徴とする。

【0008】 請求項3に記載の電子部品のバンプ構造は、樹脂層21は弾性係数の高いバフファ用樹脂で形成されたことを特徴とする。

【0009】

【作用】 上記構成の電子部品のバンプ構造においては、はんだバンプ7が形成されたウエハ1を基板11にはんだ付けにより実装したとき、ウエハ1と基板11との熱膨張係数の差によるヒートサイクルではんだバンプ7に熱ストレスが発生しても、この熱ストレスを樹脂層21の変形によって吸収することができる。この結果はんだバンプ7に生じる応力を軽減することができ、クラックなどの発生を防止できる。

【0010】

【実施例】 以下、本発明の電子部品のバンプ構造の一実施例を図面を参照して説明する。

【0011】 図1、図5、図6及び図7にそれぞれ本発明の第1、第2、第3及び第4の実施例の構成を示す。これらの図において、図8及び図9に示す従来例の部分と対応する部分には同一の符号を付してあり、その説明は適宜省略する。

【0012】 図1に示す第1の実施例は、図9に示す従来例のコーティング層8とバリアメタル層4との間に、10 μ m乃至25 μ mの厚さのポリイミドまたはエポキシ系の樹脂層21をバフファ層として形成し、樹脂層21をバリアメタル層4の外周から突出させた場合である。この場合、バリアメタル層4の中心部は端子電極2に接続されており、樹脂層21はこの接続部の外側に形成されている。

【0013】 次に本実施例によるはんだバンプの製造方法を図2を参照して説明する。(a)において、ウエハ1上には端子電極2が設けられており、ウエハ1の表面に端子電極2の外周を囲むように、SiO₂からなる絶

3

緑層3を形成する。つぎに(b)において、絶縁層3の表面及び端子電極2の外周を被覆して、ポリイミドなどで厚さ5 μ m乃至15 μ mに形成されたコーティング層8を設ける。

【0014】次に(c)において、本発明の特徴である樹脂層21を端子電極2とバリアメタル層4の接続部分を除いて、コーティング層8及び端子電極2の表面に円環状に形成する。樹脂層21は厚さ10 μ m乃至25 μ mの弾性係数の大きいポリイミドまたはエポキシ樹脂によって構成されている。次に(d)において、コーティング層8の表面及び樹脂層21の外周を被覆して、バリアメタル層リフトオフ用のレジスト層22を形成する。なお絶縁層3、コーティング層8、樹脂層21及びレジスト層22は、それぞれ公知のフォトリソプロセスにより形成される。

【0015】次に(e)において、端子電極2、樹脂層21及びレジスト層22のそれぞれの表面の露出部分に、バリアメタル層4、5、6を蒸着またはスパッタにより順次積層形成する。例えばバリアメタル層4は厚さ500 \AA ストローム乃至2,000 \AA ストロームのCrで形成され、バリアメタル層5は厚さ5,000 \AA ストローム乃至10,000 \AA ストロームのCu、または厚さ1,000 \AA ストローム乃至1,500 \AA ストロームのTi、または厚さ2,000 \AA ストローム乃至3,000 \AA ストロームのNiで形成されている。またバリアメタル層6は厚さ500 \AA ストローム乃至1,000 \AA ストロームのAuで形成されている。

$$\Delta d = (14 - 3.5) \times 10^{-6} \times 110^\circ\text{C} \times 9\text{mm} = 10.395 \mu\text{m}$$

【0019】またセラミック基板に実装するときは同様※30※に Δd は下記ようになる。

$$\Delta d = (6.5 - 3.5) \times 10^{-6} \times 110^\circ\text{C} \times 9\text{mm} = 2.97 \mu\text{m}$$

【0020】ただし、ICウエハ1、ガラエポ基板及びセラミック基板のそれぞれの熱膨張係数を3.5 $\times 10^{-6}$ mm/ $^\circ\text{C}$ 、14 $\times 10^{-6}$ mm/ $^\circ\text{C}$ 、6.5mm/ $^\circ\text{C}$ とする。

【0021】しかしながら図4に斜線で示すように弾性係数の大きい樹脂層21を設けることにより、 Δd は樹脂層21の変形により吸収され、はんだパンプ7に生じる応力を軽減することができる。

【0022】本実施例によれば、バリアメタル層4と端子電極2との間に弾性係数の大きい樹脂層21を設けたので、ウエハ1を基板11に実装するときのヒートサイクルによる熱ストレスを軽減することができ、はんだクラックなどの発生を防止できる。また有機基板などの熱膨張係数の大きい基板にウエハ1を実装することが可能となる。さらに従来熱ストレスの軽減のためにはんだパンプ7の高さを高くする必要があったが本実施例によればその高さを低くすることができる。この結果ウエハ1の実装密度を高くすることができ、しかも実装後のはんだパンプ7の高さのパラツキを少なくし、安定した高い

4

*【0016】次に(f)において、レジスト層22を除去しレジスト層22上のバリアメタル層4、5、6をリフトオフする。次に(g)において、バリアメタル層4、5、6の外周を囲むように、断面がほぼ正方形の開口部13a有すパンプ用レジスト13を20 μ m乃至60 μ mの厚さにフォトリソプロセスにより形成する。次に(h)において、レジスト13の表面及び開口部13a内にはんだ層14を20 μ m乃至60 μ mの厚さに蒸着する。このとき例えばはんだ材料としてPbとSnとを95対5の比率で別々に蒸着し、(i)においてレジスト13を除去してレジスト13上のはんだ14をリフトオフする。次に(j)においてはんだ層14にフラックスを塗布したのち、ウェットバックにより規定成分のほぼ半球上のはんだパンプ7を形成する。

【0017】上記製造方法ではんだ層14を蒸着する場合について説明したが、はんだ層14を鍍金方法により、レジスト13の表面及び開口部13a内に形成してもよい。

【0018】次に本実施例の作用を図3及び図4に示す模式図を参照して説明する。図3において、はんだパンプ7が形成されたウエハ1を基板11上に実装するとき、ウエハ1と基板11との熱膨張係数の差により、ヒートサイクルによる Δd が発生する。この結果はんだパンプ7にはF/Sの応力が発生する。但しSははんだパンプ7の断面積である。ここで例えばパンプ間の距離が9mmのICウエハ1をガラエポ基板に実装するとき、温度差 $\Delta T = 110^\circ\text{C}$ のヒートサイクルがかかった場合、 Δd は下記ようになる。

信頼性で実装を行なうことができる。

【0023】図5に本発明の第2の実施例の構成を示す。本実施例は樹脂層21の外径をバリアメタル層4の外径より小さくし、樹脂層21をバリアメタル層4の内部にのみ形成したものである。

【0024】図6に本発明の第3の実施例の構成を示す。本実施例は第1の実施例におけるコーティング層8を省略し、樹脂層21を直接絶縁層3及び端子電極2上に形成したものである。

【0025】図7に本発明の第4の実施例の構成を示す。本実施例は第3の実施例における樹脂層21の外径をバリアメタル層4の外径より小さくし、樹脂層21をバリアメタル層4の内部にのみ形成したものである。

【0026】上記各実施例においても第1の実施例の場合と同様の効果を得ることができる。なお上記各実施例ではバリアメタル層4、5、6が3層の場合について説明したが、この層の数は3層に限定されるものではない。

【0027】

【発明の効果】以上説明したように、本発明の電子部品のパンプ構造によれば、端子電極とバリアメタル層との間に弾性係数の高い樹脂層を形成したので、電子部品の基板への実装時におけるヒートサイクルによる熱ストレスを軽減することができ、有機基板などの熱膨張係数の大きい基板への実装が可能となる。またはんだパンプの高さを低減することができ、実装密度を高くすることができる。しかも実装後のはんだパンプの高さのばらつきを少なくし、安定した高い信頼性で実装を行なうことができる。

【図面の簡単な説明】

【図1】本発明の電子部品のパンプ構造の第1の実施例の構成を示す縦断面図である。

【図2】図1に示すはんだパンプの製造方法を示す説明図である。

【図3】電子部品実装時のヒートサイクルにより発生する歪を示す説明図である。

【図4】本発明の第1の実施例の作用を示す説明図である。

【図5】本発明の第2の実施例の構成を示す縦断面図で 20

ある。

【図6】本発明の第3の実施例の構成を示す縦断面図である。

【図7】本発明の第4の実施例の構成を示す縦断面図である。

【図8】従来の電子部品のパンプ構造の一例の構成を示す縦断面図である。

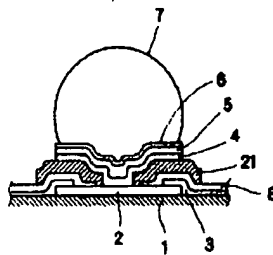
【図9】従来の電子部品のパンプ構造の他の一例の構成を示す縦断面図である。

10 【図10】従来の電子部品のパンプ構造の一例において発生する熱ストレスを示す説明図である。

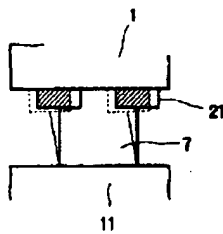
【符号の説明】

- 1 ウエハ
- 2 端子電極
- 4、5、6 バリアメタル層
- 7 はんだパンプ
- 8 コーティング層（被膜）
- 14 はんだ層
- 21 樹脂層

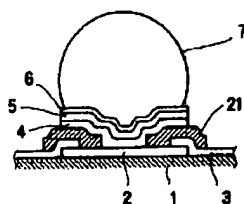
【図1】



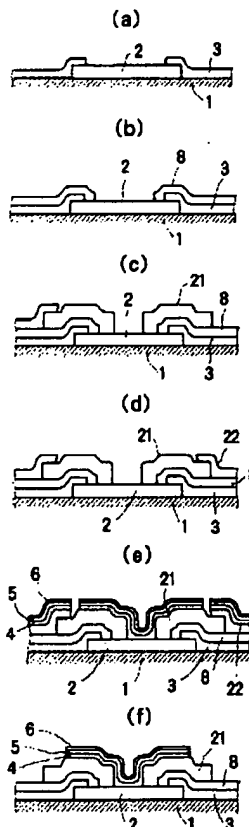
【図4】



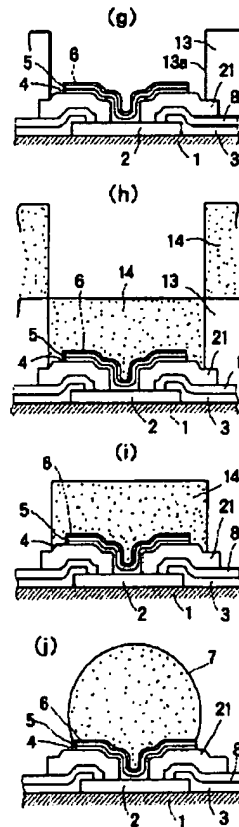
【図6】



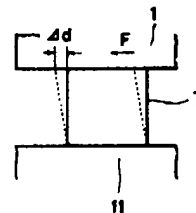
【図2】



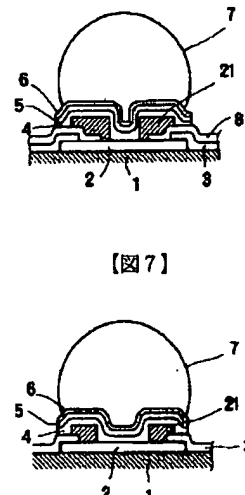
【図3】



【図5】



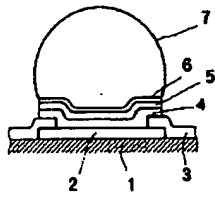
【図7】



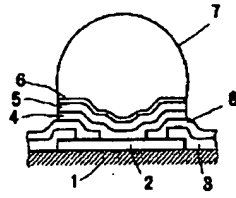
(5)

特開平6-177134

【図8】



【図9】



【図10】

